

Fluxo de Projeto utilizando IBM180nm em ambiente Cadence

Henrique Mamoru Hayasaka

September 15, 2011

Para iniciar um novo projeto utilizando a tecnologia 180nm da IBM, abra um terminal.

- Crie uma nova pasta (*e.g.* `mkdir projeto`);
- Entre na pasta criada (*e.g.* `cd projeto`);
- Execute o script `SETUP.CADENCE` para setar as variaveis de ambiente (`source /usr/EDATools/scripts/setup.cadence`);

Apos isso, sera carregado, no terminal, o menu de escolha de tecnologias. Para a tecnologia 180nm da IBM digite 3.

Para carregar as ferramentas de projeto da Cadence, digite “virtuoso”. Com isso sera aberta a janela do CIW. Para criar uma nova biblioteca (Library) utilize o menu “IBM_PDK” conforme destacado na Fig. 1.

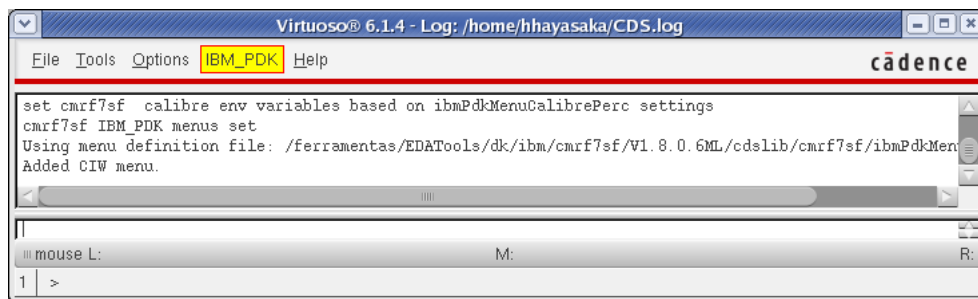


Figure 1: CIW (Command Interpreter Window)

Selecione as seguintes opcoes: Library → Create.

A janela *New Library*, mostrada na Fig. 2, sera carrega. Nela, ajuste os seguintes parametros:

Name: <nome da biblioteca> (*e.g.* tutorial);

Technology File: (o) Attach to an existing technology library

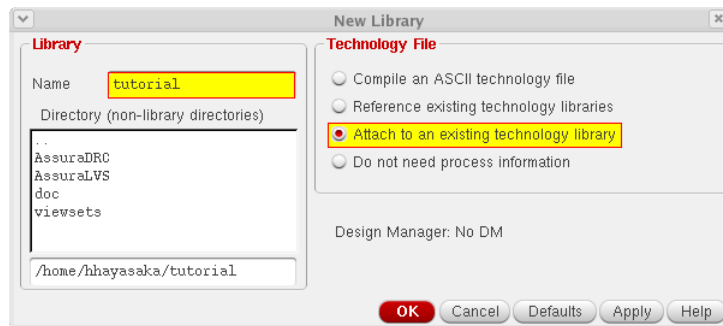


Figure 2: Janela de configuracao de uma biblioteca nova

Com isso, a janela *Attach Library to Technology Library* sera carregada. Selecione **cmrf7sf** como Technology Library e clique em OK. O proximo passo eh definir o numero de niveis de metais que serao utilizados. Escolhemos a opcao (M6) pois eh o numero de metais disponibilizados pela Mosis [1].

Uma vez criada a biblioteca partimos para as celulas e para as vistas do projeto. A celula define os componentes que iremos criar (*e.g.* inversor). Ja as vistas sao os tipos de formatos que nosso circuito tera (*e.g.* schematic). Inicie o “Library Manager ” atraves do menu “Tools ” do CIW. Na Fig. 3 eh mostrada a janela do gerenciador de bibliotecas.

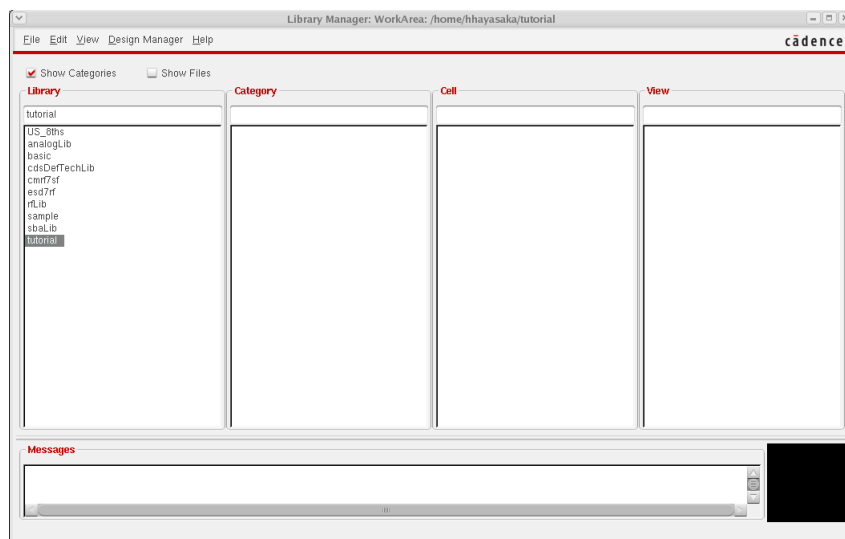


Figure 3: Library Manager

Para criar uma nova célula, selecione a biblioteca onde se deseja criar (*e.g.* tutorial) e utilize a seguinte sequência:

File → New → Cell View.

Defina um nome para a célula (*e.g.* inversor) e clique em OK, ver Fig. 4;

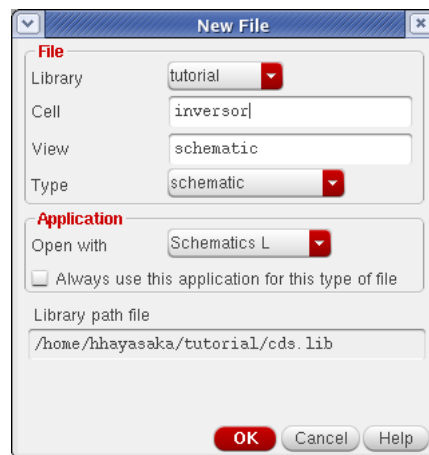


Figure 4: New File

Será aberta a janela do *Virtuoso Schematic Editor*. Instancie (Create → Instance) os seguintes componentes:

- 1 transistor NMOS (Library: cmrf7sf; Cell: nfet; View: symbol);
- 1 transistor PMOS (Library: cmrf7sf; Cell: pfet; View: symbol);
- vdd (Library: analogLib; Cell: vdd; View: symbol);
- gnd (Library: analogLib; Cell: vdd; View: symbol);

Adicione também 2 pinos (Create → Pin):

- in (direction **inputOutput**);

- out (direction **inputOutput**);

Posicione-os de acordo com o esquemático mostrado na Fig. 5 e sete os seguintes parâmetros (Edit → Properties → Objects):

PMOS:

- Width (/Finger): W_{pmos}
- Length: L_{pmos}

NMOS:

- Width (/Finger): W_{nmos}
- Length: L_{nmos}
- Substrate Node: gnd!

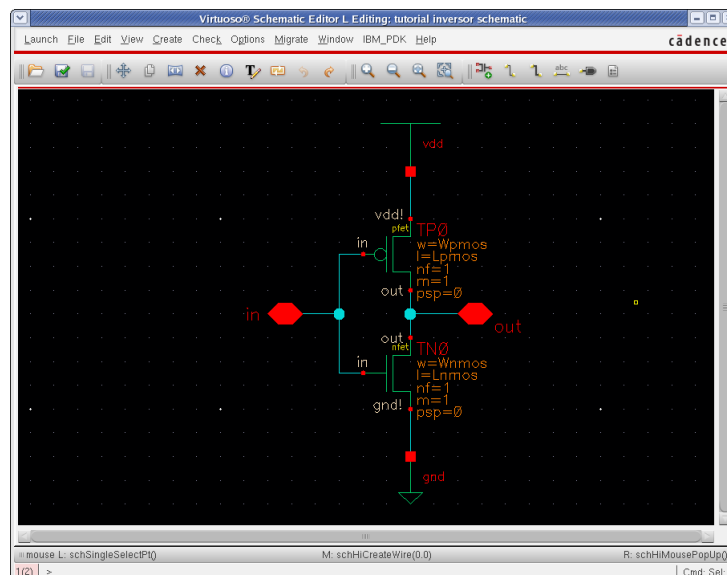


Figure 5: Esquemático do Inversor

O próximo passo é a criação de uma vista do tipo símbolo para que se possa instanciar o inversor em uma outra célula. Para este fim utilize a seguinte opção:

Create → Cellview → From Cellview;

Na janela que aparecer selecione OK. Assim a janela *Symbol Generation Options* será carregada. Preencha-a conforme mostrado na Fig. 6 e pressione OK.

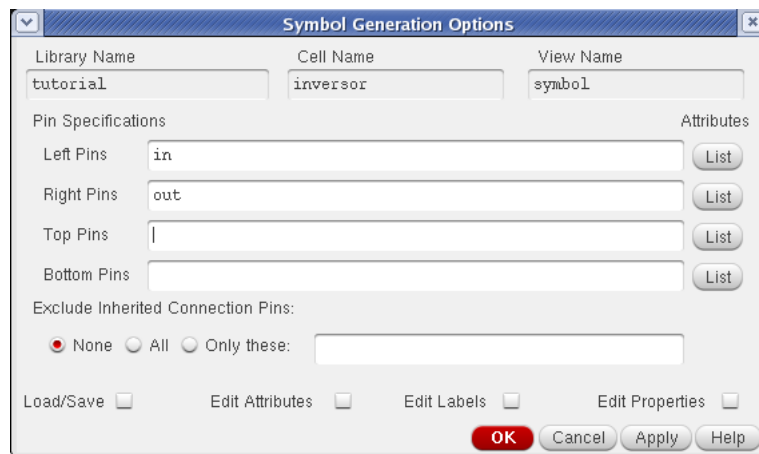


Figure 6: Symbol Generation Options

Surgirá a janela *Virtuoso Symbol Editor*. Usando as ferramentas **line** e **circle** desenhe o símbolo do inversor conforme mostrado na Fig. 7.

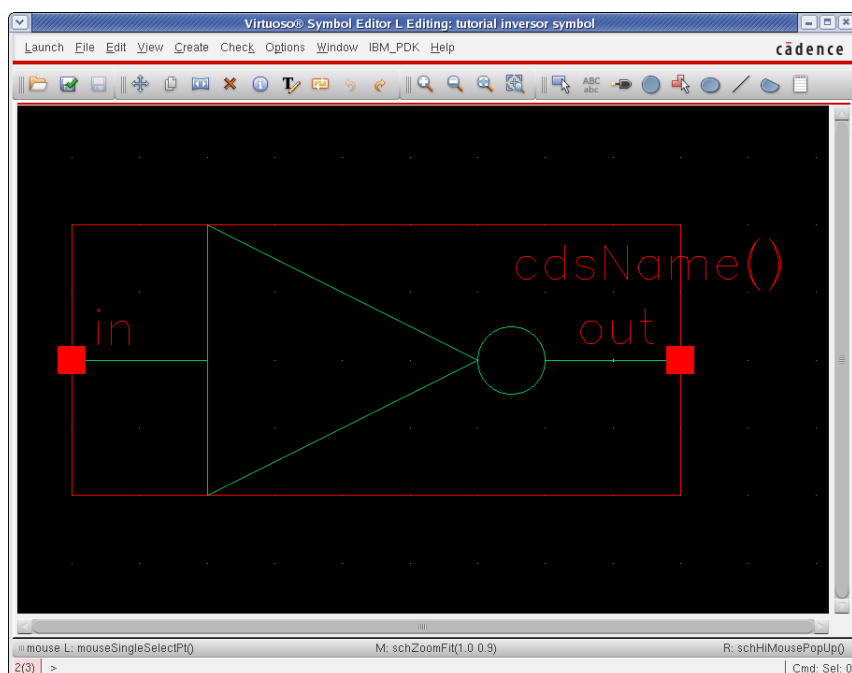


Figure 7: Simbolo do inversor

Partimos entao para a simulacao do inversor. De volta ao *Library Manager* crie uma nova celula com o nome **`inversor_tb`**. Nesta nova celula adicione os seguintes componentes:

- 1 inversor (Library: tutorial; Cell: inversor; View: symbol);
- 1 fonte de tensao do tipo Pulso (Library: analogLib; Cell: vpulse; View: symbol);
- 1 fonte de tensao DC (Library: analogLib; Cell: vdc; View: symbol);
- vdd (Library: analogLib; Cell: vdd; View: symbol);
- 2 gnd (Library: analogLib; Cell: vdd; View: symbol);

- 1 pino OUT;

Ajuste as seguintes propriedades (Edit → Properties → Objects) das fontes de tensão:

vdc:

- DC Voltage = Vdd

vpulse:

- Voltage 1 = 0;
- Voltage 2 = Vdd;
- Period = 1u;
- Delay time = 1u;
- Rise time = 0.1u;
- Fall time = 0.1u;
- Pulse width = 0.4u;

Conecte os componentes de acordo com o circuito mostrado na Fig. 8. Utilize o menu **Create** → **Wire Name** para nomear a entrada como IN.

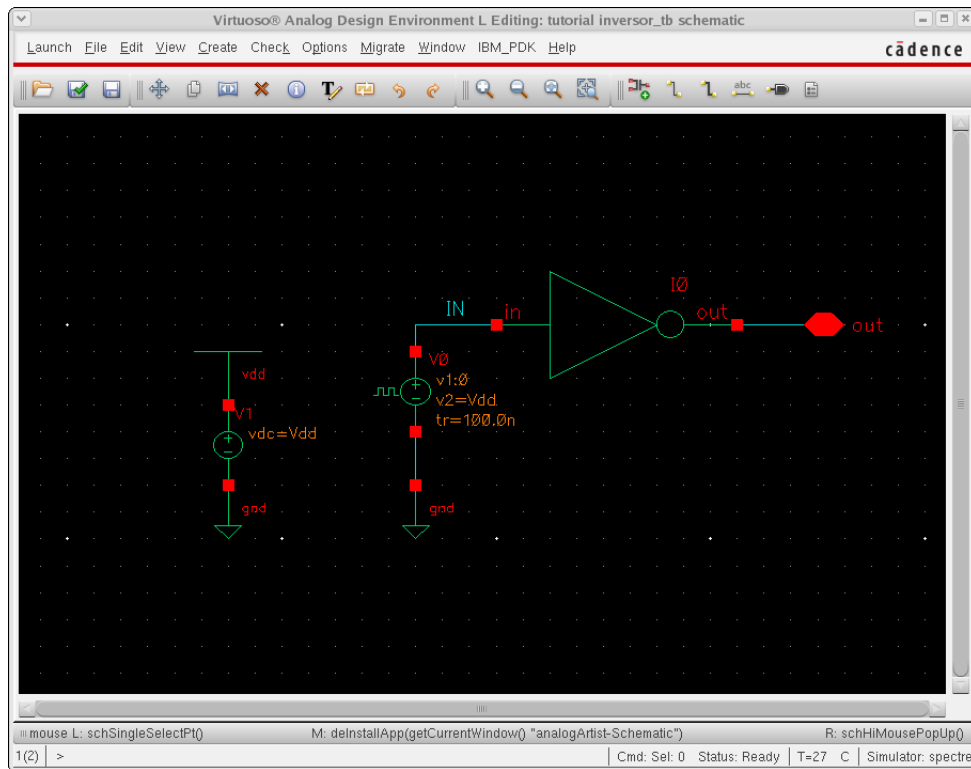


Figure 8: Esquemático do circuito de simulacao do Inversor

Para iniciar as simulacoes, utilize o menu **Launch** → **ADE L**. Sera carregada a janela do *Virtuoso Analog Design Enviroment* mostrada na Fig. 9.

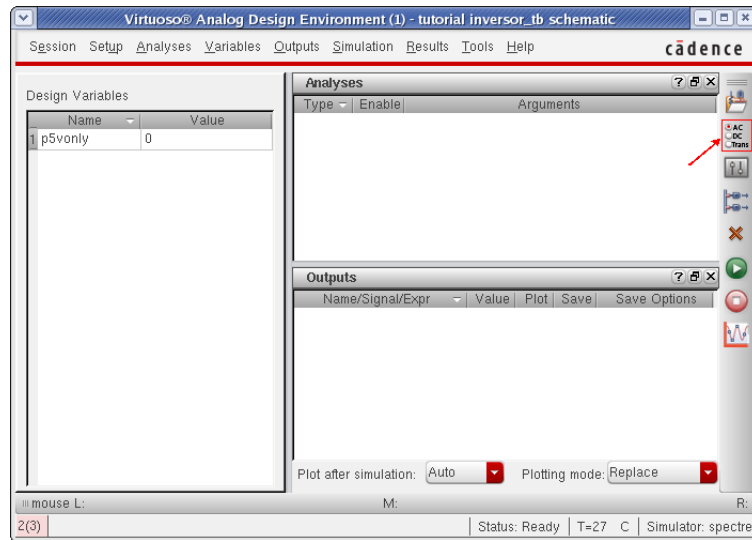


Figure 9: Virtuoso Analog Design Enviroment

A primeira simulacao a ser feita eh uma analise DC para o dimensionamento dos transistores. Para configura-la utilize a opcao **Choose Analyses**, indicado na Fig. 9.

Na janela *Choosing Analyses*, na secao **Analysis** selecione **dc** e em **Sweep Variable** selecione **Component Parameter**, indicados na Fig. 10.

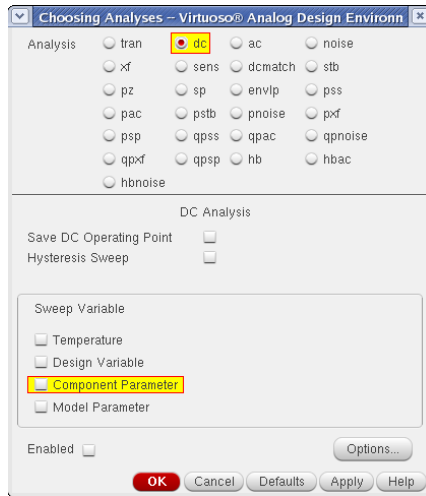


Figure 10: Choosing Analyses

Quando selecionada a opção **Component Parameter** a janela *Choosing Analyses* se expandirá assumindo a aparência apresentada na Fig. 11.

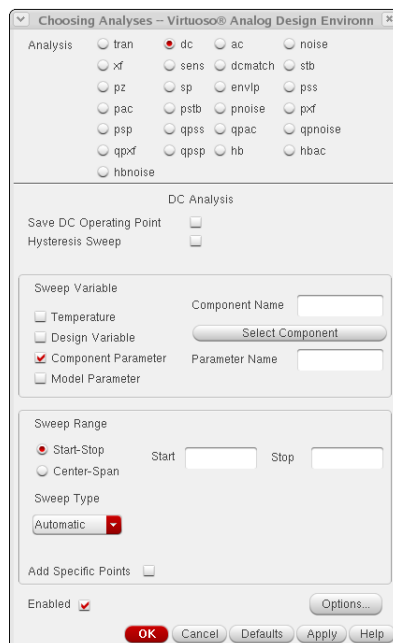


Figure 11: Choosing Analyses expandida

Para definir o parametro a ser variado nessa analise DC utilize o botao **Select Component**. Va na janela do *Virtuoso Schematic Editor* e seleccione a fonte vpulse (V0). Com isso eh aberta a janela *Select Component Parameter*. Seleccione a opcao **DC Voltage**, como mostrado na Fig. 12 e pressione OK.

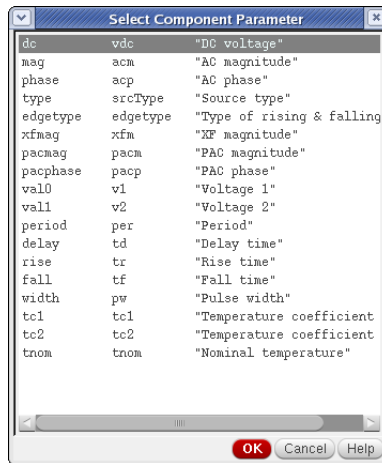


Figure 12: Select Component Parameter

De volta a janela *Choosing Analyses* ajuste a seção **Sweep Range** de acordo com a Fig. 13 e pressione OK.

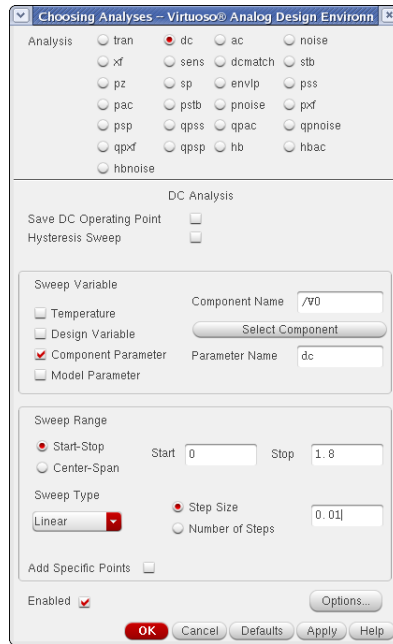


Figure 13: Sweep Range

Na janela do *Virtuoso Analog Design Environment* utilize o menu **Variables** → **Copy from Cellview** e ajuste-as de acordo com a Fig. 14.

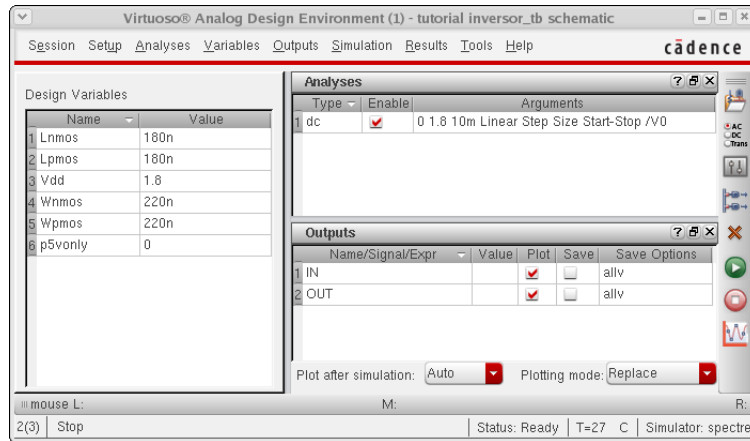


Figure 14: Ajustando as variáveis de projeto

O próximo passo é selecionar o que queremos que seja mostrado nos gráficos da simulação. Para isso utilize a opção **Setup Outputs** indicada na Fig. 15.

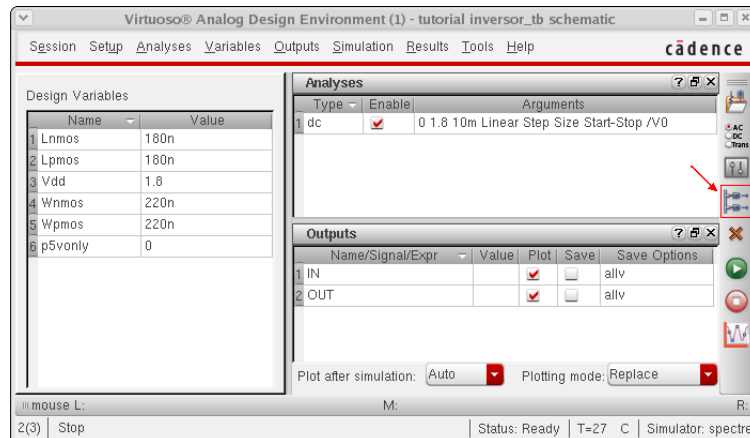


Figure 15: Definindo os sinais a serem plotados

Na janela *Setup Outputs*, mostrada na Fig. 16, pressione o botao **From Schematic** e no *Virtuoso Schematic Editor* seleccione os nos IN e OUT.

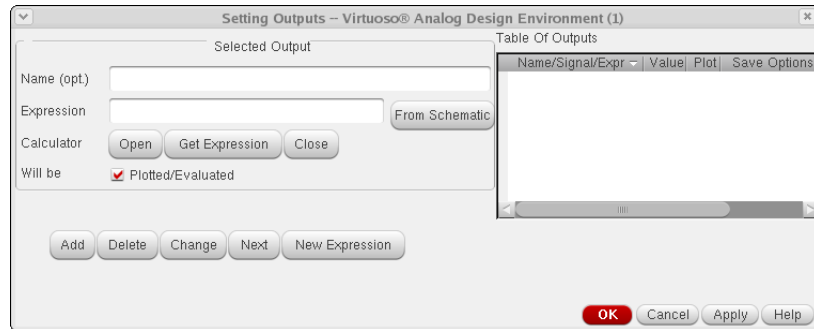


Figure 16: Setup Outputs

Como vamos realizar algumas simulacoes com o objetivo de dimensionar os transistores do inversor de modo que o mesmo tenha uma tensao de threshold (V_{TH_inv}) igual a $V_{dd}/2$, podemos definir uma funcao com o objetivo de medir o V_{TH_inv} . Para isso, pressione o botao **Open** para abrir a calculadora. Marque a opcao **vdc** e no *Virtuoso Schematic Editor* seleccione OUT. De volta a calculadora, utilize a funcao **cross** configurando-a de acordo com a Fig. 17. Em seguida pressione OK. Volte na janela *Setup Outputs*, pressione **Get Expression**, defina um nome para a funcao (*e.g.* V_{TH_inv}) e pressione OK.

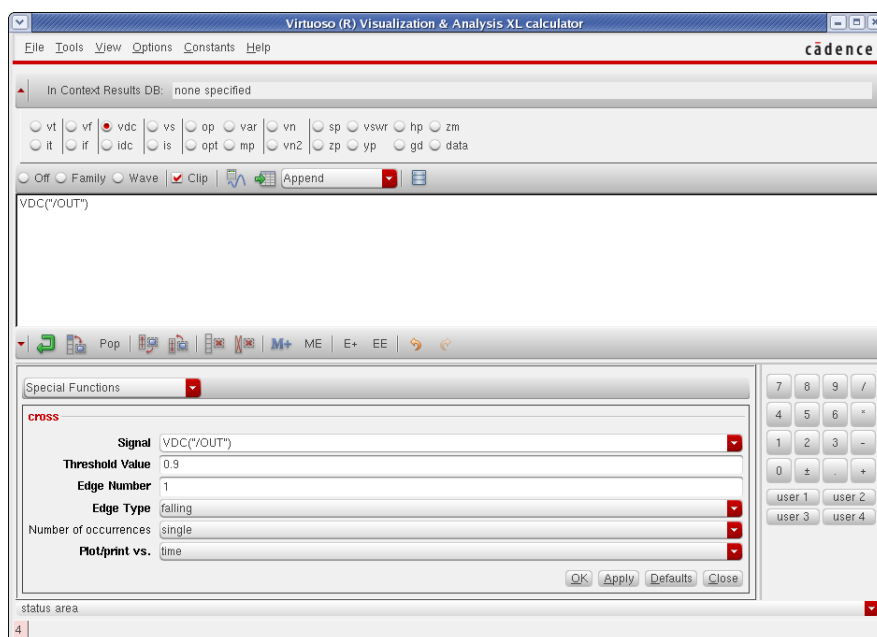


Figure 17: Funcao Cross

Na janela do *Virtuoso Analog Design Enviroment* utilize o menu **Tools** → **Parametric Analyses**. Com isso a janela *Parametric Analysis* sera aberta. Configure-a conforme a Fig. 18 e pressione **RUN**.

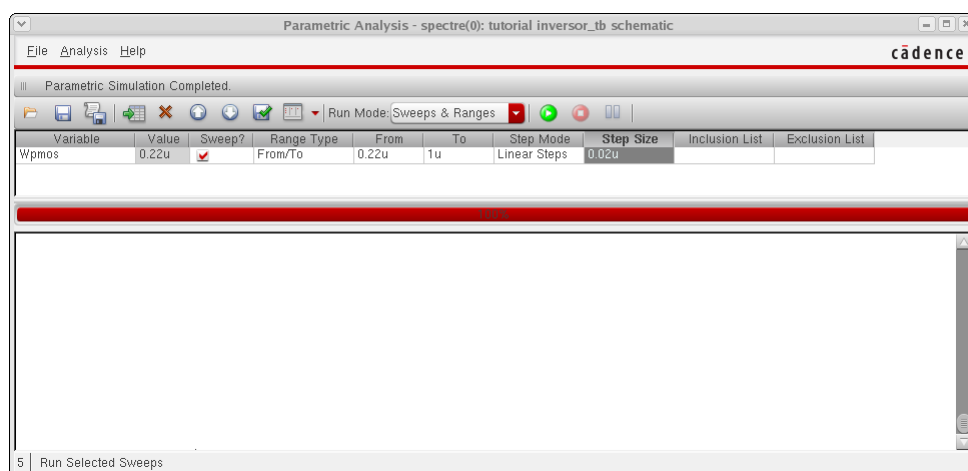


Figure 18: Parametric Analysis

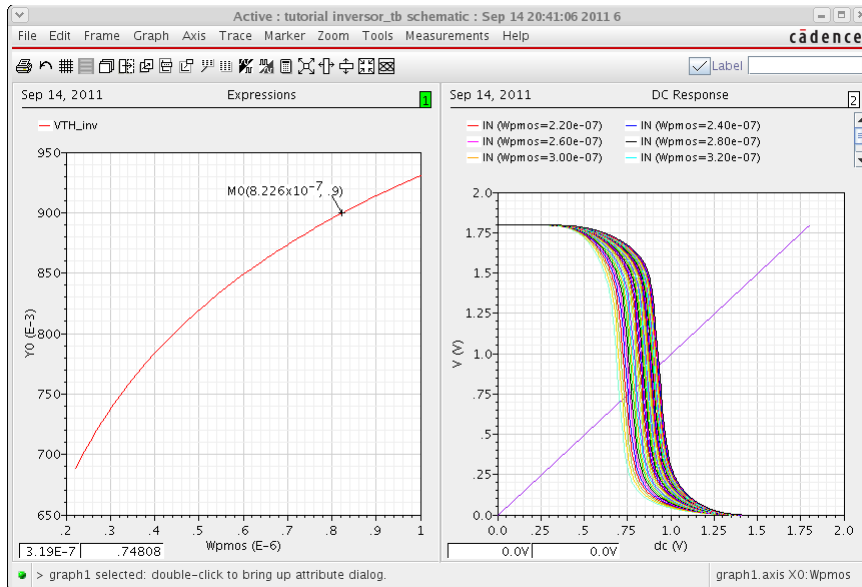


Figure 19: Resultados das simulações Paramétricas

Os resultados das várias simulações são mostrados na Fig. 19.

A largura final do transistor PMOS é determinada pelo valor do eixo X que corresponde a V_{TH_inv} igual a $V_{dd}/2 = 0.9$, que neste caso é dado por $0.82 \mu\text{m}$ (utilizar um arredondamento máximo de 2 casas após a vírgula). De volta à janela do *Virtuoso Analog Design Environment* sete a variável W_{pmos} para o valor obtido das simulações paramétricas.

Para rodar uma simulação transitiente utilize novamente a opção **Choose Analyses**. Na janela *Choosing Analyses*, na seção **Analysis** selecione **tran**, sete o parâmetro **time** para 5μ e pressione OK.

No *Virtuoso Analog Design Environment* pressione o botão **Netlist and Run**. O resultado da simulação é mostrado na Fig. 20.

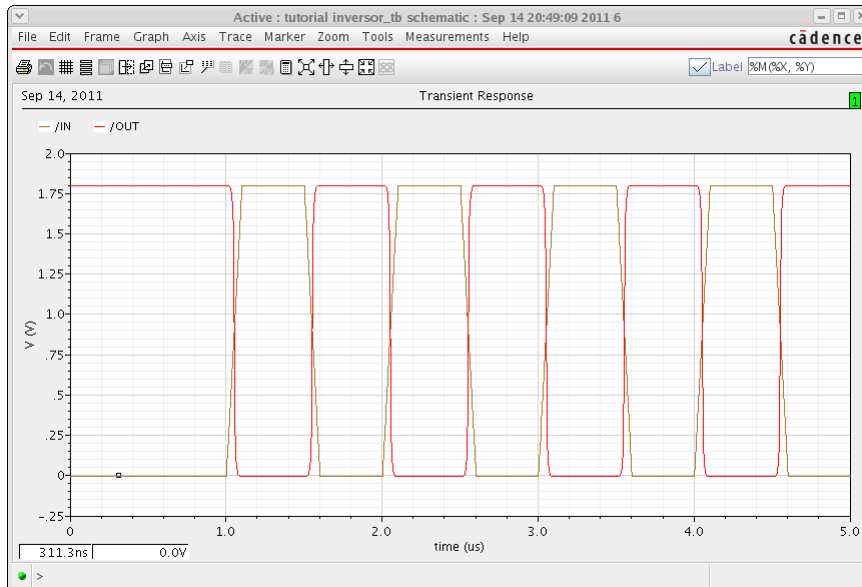


Figure 20: Resultados Analise Transiente

Uma vez definidas as dimensoes dos transistores parte-se para o layout do inversor. De volta a celula **inversor** troque as variaveis W_{pmos} , L_{pmos} , W_{nmos} e L_{nmos} pelos respectivos valores utilizados para a simulacao transiente. Altere tambem as conexoes de substrato (**Substrate Node: sub!**) e do poco N (marque a opcao **Add NW Contact**) dos transistores NMOS e PMOS, respectivamente e adicione a celula **subc** (Library: cmrf7sf; Cell: subc; View: symbol). O esquematico final do inversor eh mostrado na Fig. 21.

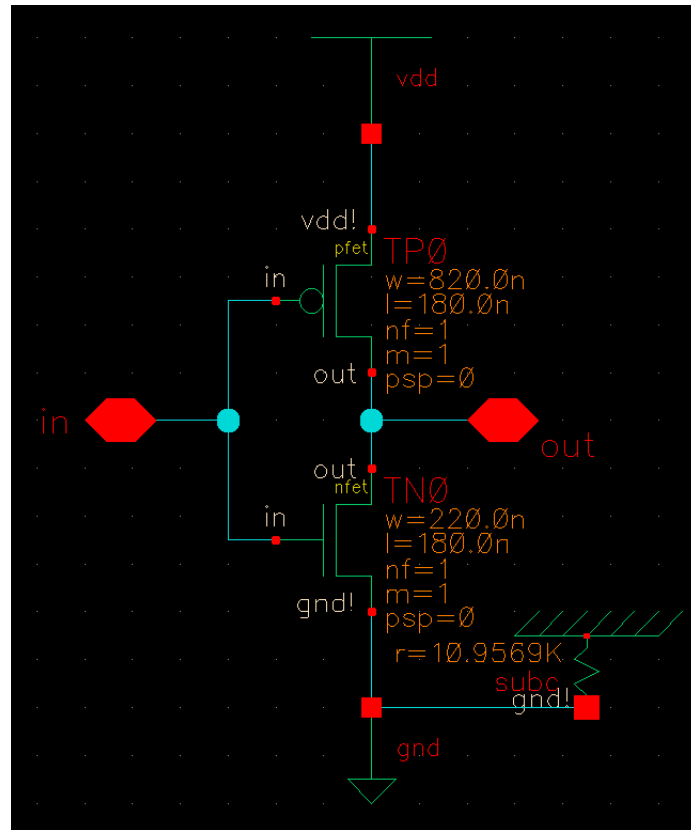


Figure 21: Esquemático final

Para iniciar o layout, utilize o menu **Launch** → **Layout XL**. Na janela *Startup Option* selecione a opção **Create New**. Será carregada a janela *New File*, preencha-a de acordo com a Fig. 22 e pressione OK.

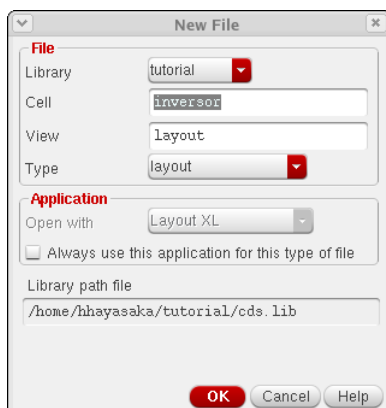


Figure 22: Criando o Layout

Caso apareça a mensagem mostrada na Fig. 23 feche o *CIW*, delete o arquivo **display.drf** (`rm display.drf`), rode o script **setup.cadence** novamente e abra primeiramente o esquemático e, em seguida, o Layout através do processo descrito anteriormente.

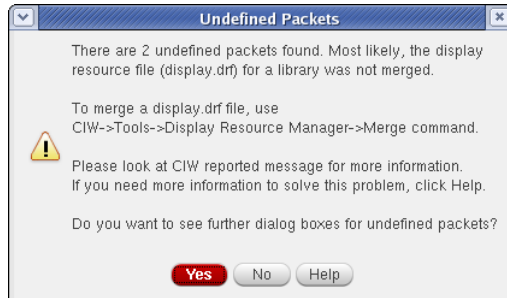


Figure 23: Possível Warning na inicialização do Layout XL

A janela *Virtuoso Layout Suite XL Editing* é carregada ao lado do *Virtuoso Schematic Editor*. Para instanciar os componentes do esquemático no *Virtuoso Layout Suite XL Editing* utilize o menu **Connectivity** → **Generate** → **All from Source**. Será aberta a janela *Generate Layout*, na aba **I/O Pins** selecione **Specify Default Values for All Pins** altere o layer para M1 como mostrado na Fig. 24, pressione **Apply** e em seguida **OK**.

Caso tenha alguma dificuldade em posicionar os elementos no *Virtuoso Layout Suite XL Editing* experimente desabilitar a ferramenta **Gravity** (Op-

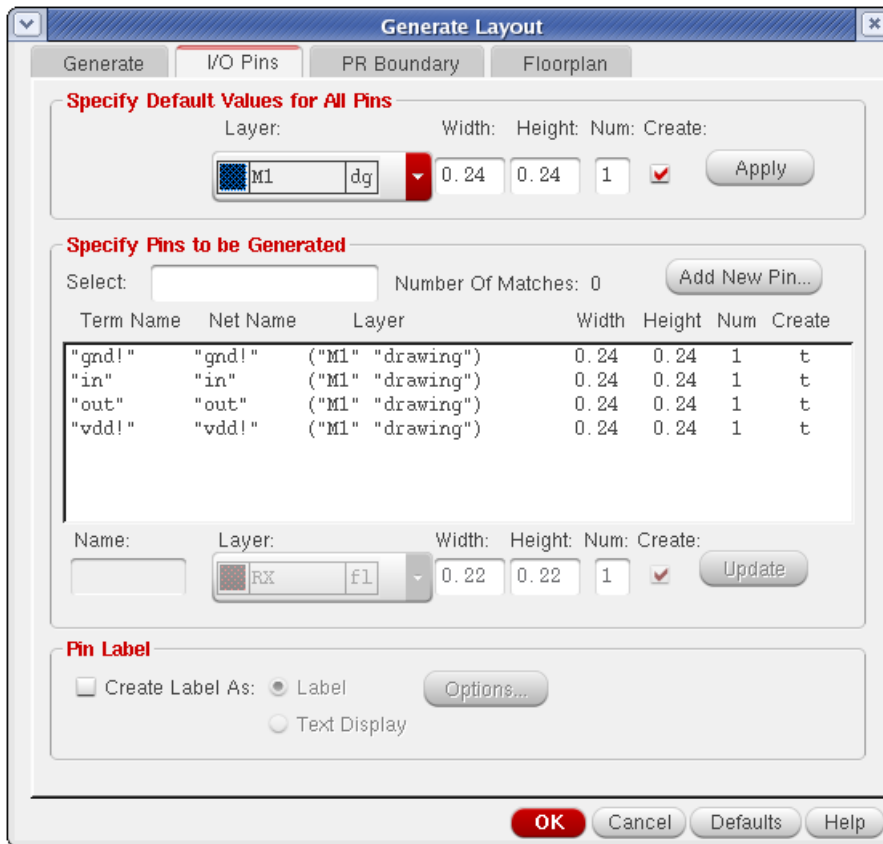


Figure 24: Generate Layout

tions → Editor → Gravity Controls).

Faca as conexoes dos elementos instanciados utilizando as ferramentas **Rectangle** (Create → Shape → Rectangle), **Ruler** (Tool → Create Ruler) e **Via** (Create → Via). A ferramenta **Rectangle** necessita que seja definido qual layer sera utilizado atraves da janela *LSW*. Ja para o uso das Vias eh aberta a janela *Create Via*, mostrada na Fig. 25, onde a area destacada eh usada para selecionar um dos varios tipos de Via/Contato. No exemplo mostrado foi selecionado o contato entre a area ativa (RX) e o primeiro nivel de metal (M1) para maiores informacoes consulte [2]

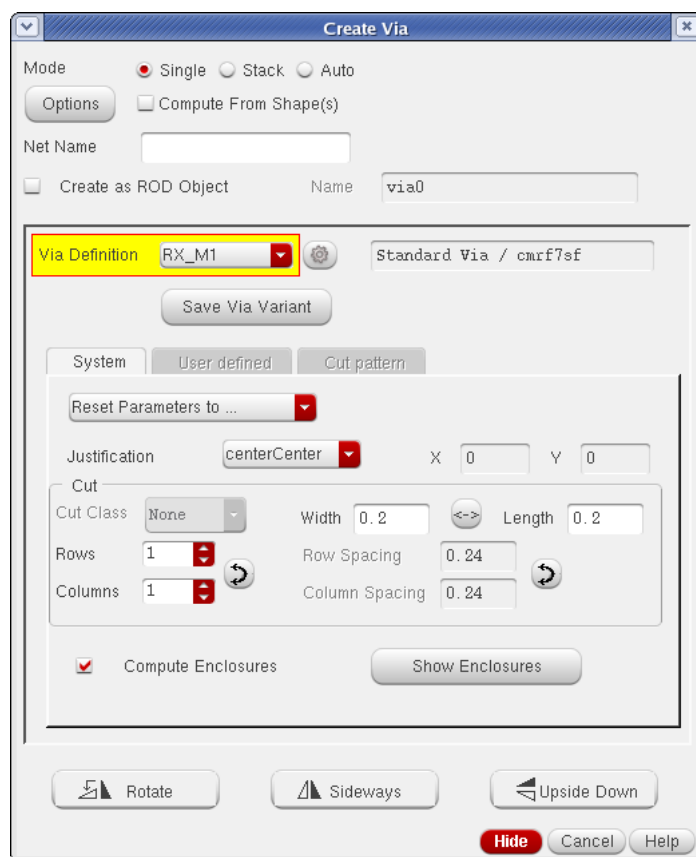


Figure 25: Adicionando uma via

Um exemplo de layout final do inversor eh apresentado na Fig. 26.

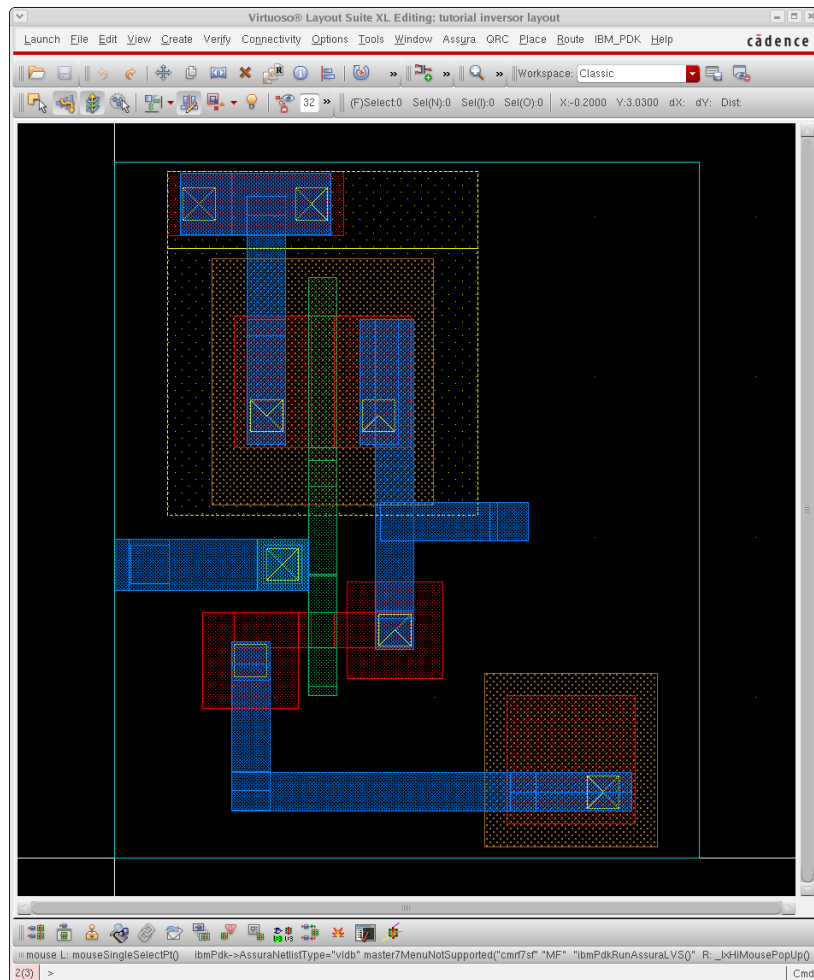


Figure 26: Layout final invisor

Terminado o layout partimos para a etapa de verificacao. Começamos com o DRC (Design Rule Checking) que verifica quais regras de layout foram descumpridas. Para a tecnologia de 180nm da IBM sera utilizada a ferramenta Assura da Cadence. Para inicia-la utilize o menu **IBM_PDK** → **Checking** → **Assura** → **DRC**. Assim sera carregada a janela *Run Assura DRC*. Preencha-a de acordo com os dados mostrados na Fig. 27 e pressione OK.

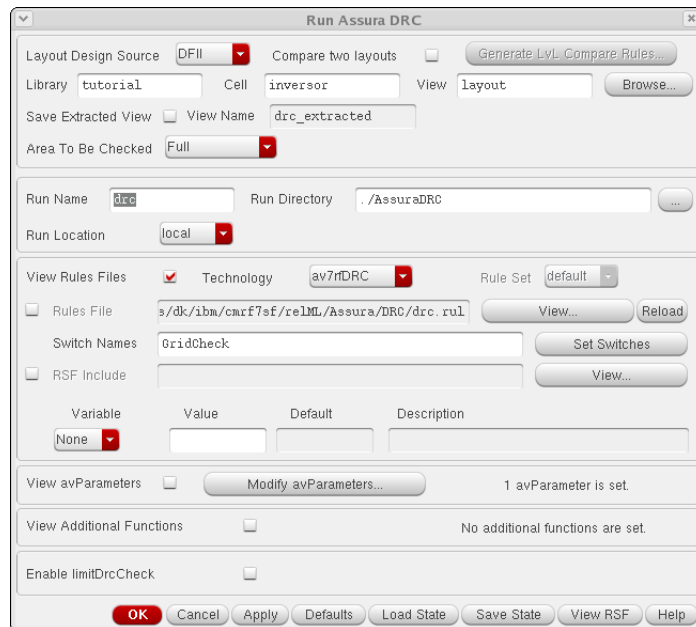


Figure 27: Run Assura DRC

As regras que nao foram cumpridas sao mostradas na janela *Error Layer Window*. Corrija-as de modo a obter apenas as mensagens mostradas na Fig. 28.

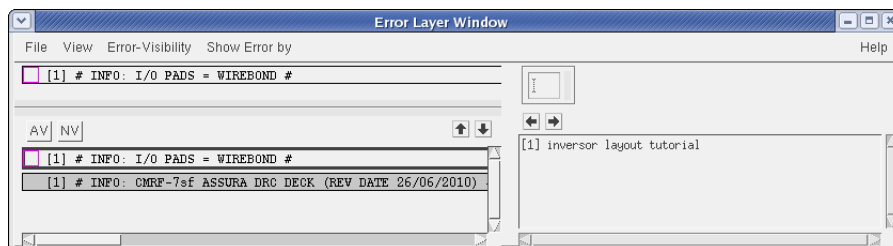


Figure 28: Error Layer Window

O proximo passo eh a execucao do LVS (Layout vs Schematic) que como o nome ja diz, compara o circuito do Layout com o Esquematico. Utilize o menu **IBM_PDK** → **Checking** → **Assura** → **LVS**. Sera aberta a janela *Run Assura LVS*. Preencha-a com os dados mostrados na Fig. 29 e pressione OK.

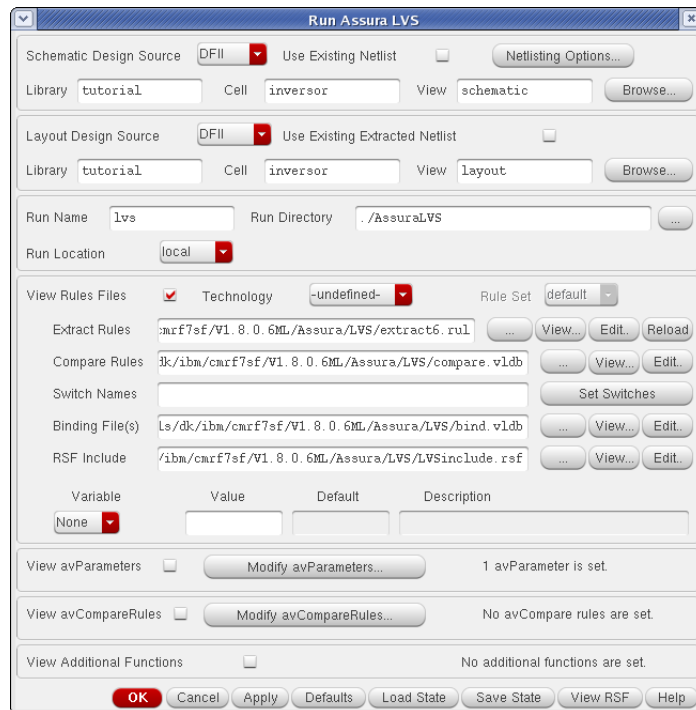


Figure 29: Run Assura LVS

As discrepâncias existentes entre o Layout e o Esquemático são mostradas em *LVS Debug*, Fig. 30. Para obter uma descrição mais detalhada do erro selecione-o e clique no botão **Open Tool**.

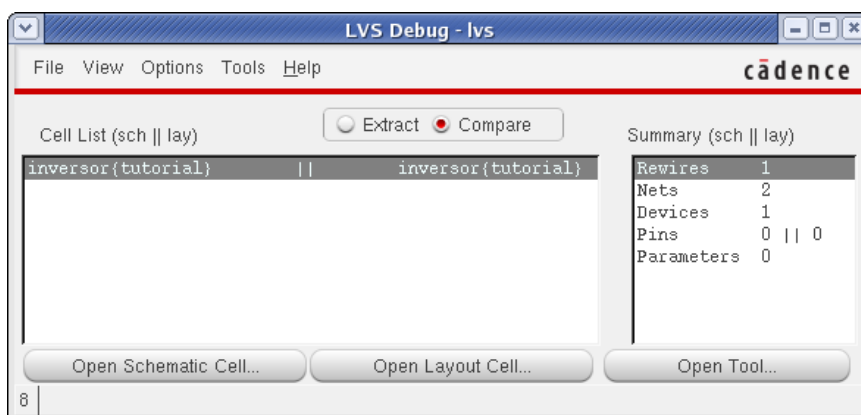


Figure 30: LVS Debug

Corrija todos os erros e rode o LVS ate obter a mensagem mostrada na Fig. 31.

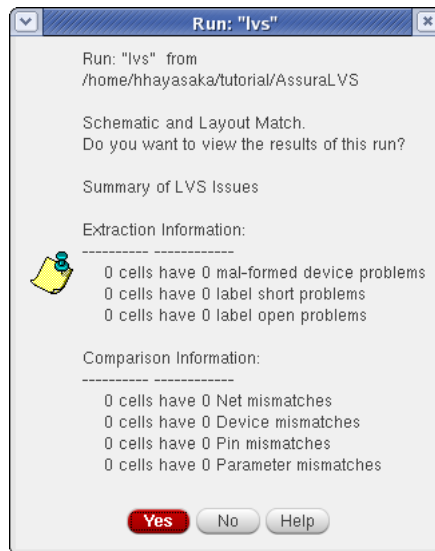


Figure 31: LVS sem erros

A ultima etapa eh a extracao dos parasitas realizado pelo QRC. Para inicia-lo utilize o menu **Assura** → **Run QRC**. Caso seja aberta a janela *Assura (QRC) Interface* preencha-a de acordo com a Fig. 32.

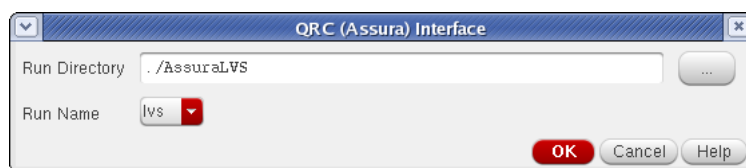


Figure 32: Assura (QRC) interface

Feito isso sera carregada a janela *QRC (Assura) Parasitic Extraction Run Form*. Preencha-a de acordo com a Fig. 33 principalmente com os itens destacados.

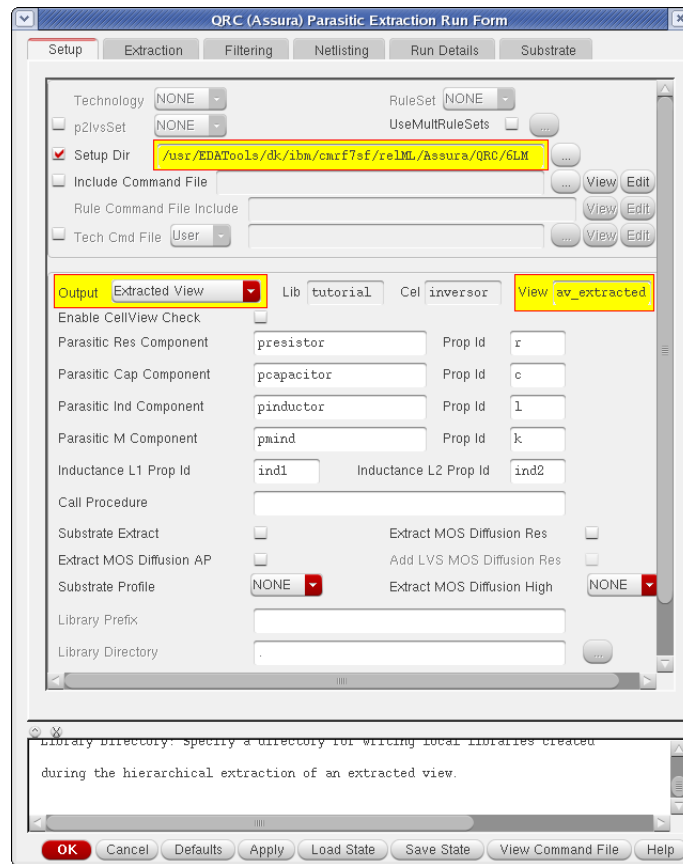


Figure 33: QRC (Assura) Parasitic Extraction Run Form

Na aba **Extraction** preencha o item **Ref Node** como sendo **gnd!**. Pressione OK para iniciar a extracao. Se nao ocorrer nenhum erro sera mostrada a mensagem da Fig. 34.

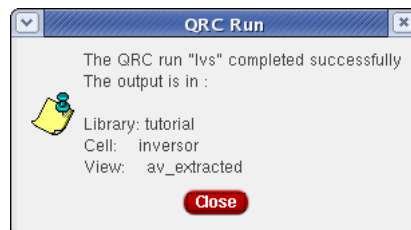


Figure 34: QRC sem erros

Para podermos comparar o circuito em esquemático com seu respectivo layout, primeiramente copiamos toda a célula **inversor** para uma nova célula através do *Library Manager* (e.g. `inversor_ext`). Nesta nova célula (`inversor_ext`) apagamos as vistas **schematic** e **layout**. Abrimos, então a célula **inversor_tb** e instanciamos o símbolo dessa nova célula ficando com o circuito mostrado na Fig. 35.

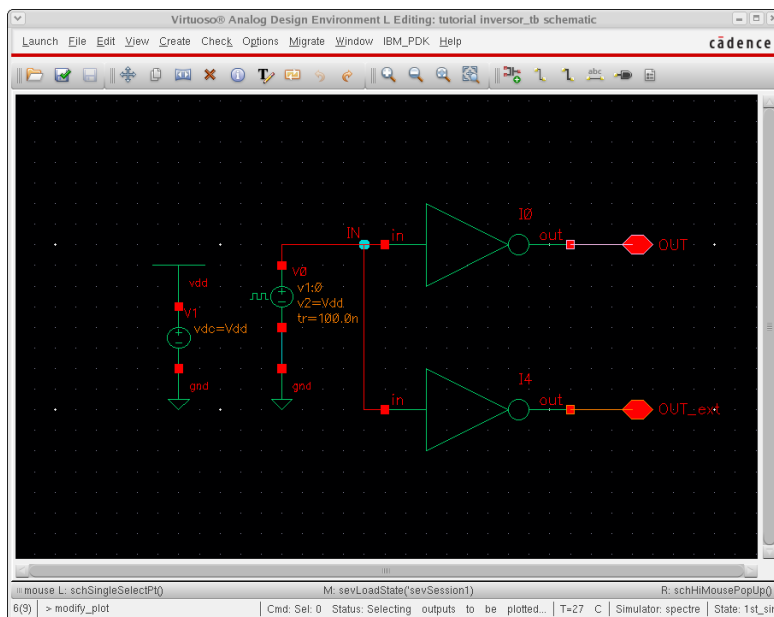


Figure 35: Circuito para comparacao do Esquemático com o Extraído

Abre-se o *Virtuoso Analog Design Enviroment* configurando-o com os mesmos parametros utilizados para a simulacao transiente apenas acrescentando o no **OUT_ext** para ser plotado. Configure a janela *Enviroment Options* (Setup → Enviroment) de acordo com a Fig. 36, pressione OK e no **ADE Netlist and Run**.

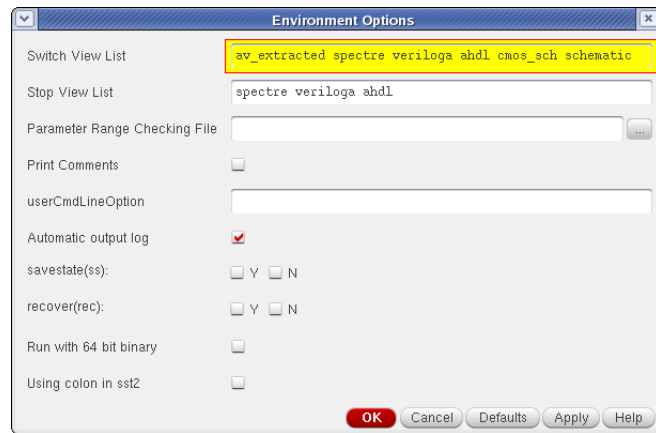


Figure 36: Environment Options

O resultado da simulacao eh mostrado na Fig. 37.

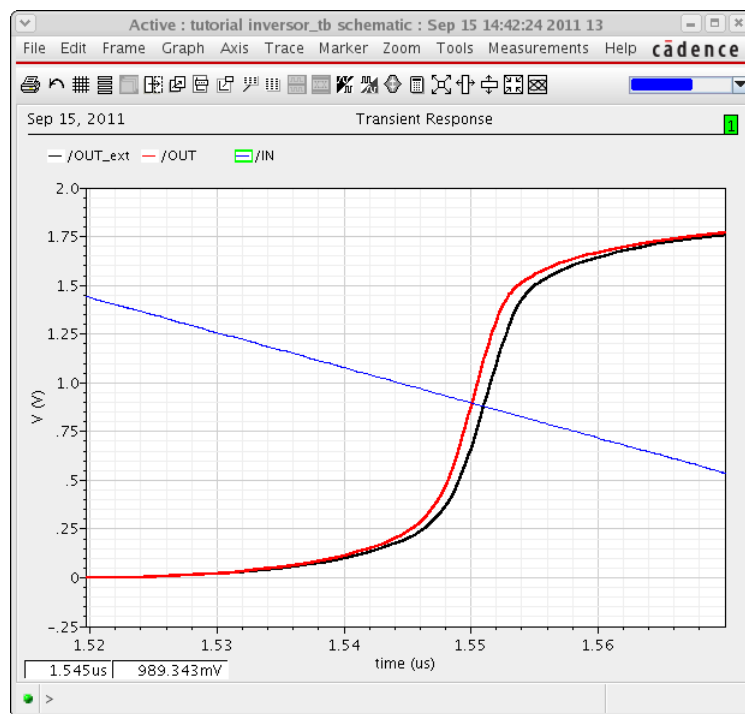


Figure 37: Comparacao da simulacao do Layout Extraido com o Esquematico

Com isso concluímos o Fluxo de Projeto básico utilizando a tecnologia de 180nm da IBM no ambiente Cadence.

Maiores informações sobre a tecnologia podem ser encontradas na pasta **doc**.

Já com respeito as ferramentas de EDA, a documentação encontra-se na pasta `/usr/EDATools/cadence/<ferramenta >/doc`, onde ferramenta pode ser **assura41_ic614**, **ext91 (QRC)**, **ic614 (Virtuoso)** ou **mmsim72 (Spectre)**.

Bibliography

- [1] Site MOSIS, <http://www.mosis.com/ibm/7rf/>
- [2] IBM Training Document, acessivel na pasta doc.